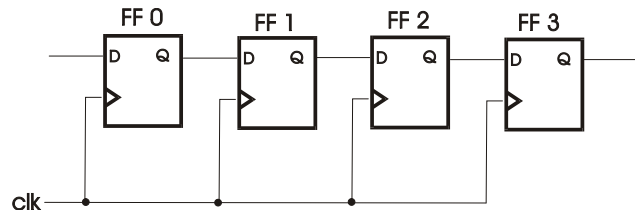


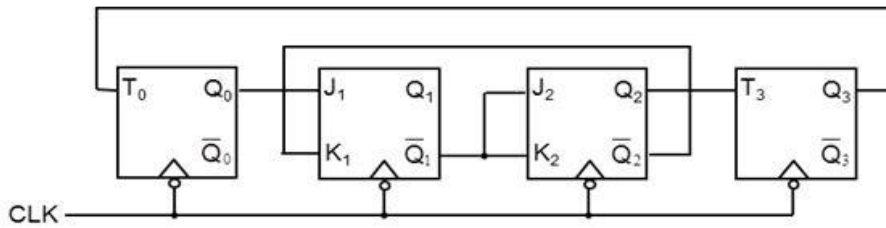
FUNDAMENTOS DE COMPUTADORES

Ejercicios U3: Elementos básicos de la lógica secuencial

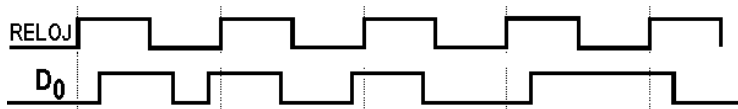
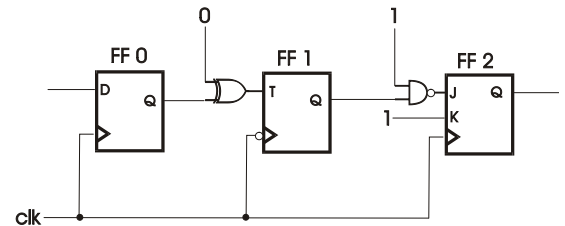
U3_1. En el sistema secuencial de la figura adjunta, se supone que inicialmente $Q_0 = Q_1 = 0$ y $Q_2 = Q_3 = 1$. Dibuje la señal de salida de cada FF, si una secuencia de entrada 10101 se aplica a la entrada de FF0 (D_0), sincronamente con la señal de reloj clk.



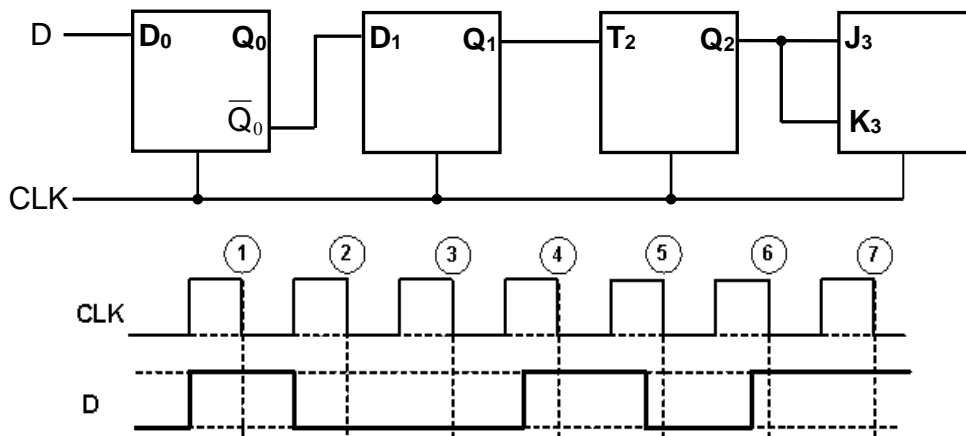
U3_2. En el sistema secuencial de la figura, se supone que inicialmente $Q_0 = Q_3 = 1$, $Q_1 = Q_2 = 0$. Dibuje en un diagrama de tiempos las señales de salida de los flip-flops 0, 1, 2 y 3 durante cinco ciclos de reloj.



U3_3. Dado el secuencial de la figura adjunta y conocida la señal de entrada D_0 del FF0, complete el cronograma de las tres salidas Q para 5 ciclos de reloj. Suponga que el primer y último FF son activos con flanco de subida y que el FF central lo es con flanco de bajada. Considere que inicialmente todas las salidas son 0.



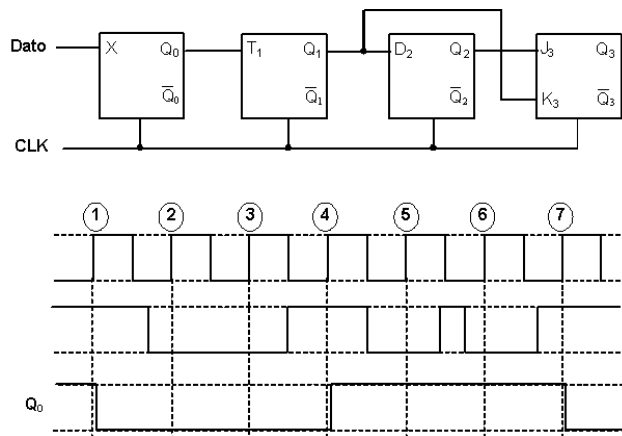
U3_4. En los 4 biestables (FF) de la figura, se supone que inicialmente $Q_0=Q_1=0$, $Q_2=Q_3=1$. Dibuje en un diagrama de tiempos, la señal de salida de cada flip-flop si la secuencia de entrada D se aplica a D_0 sincronamente con el reloj. Observe que todos los FF se activan por flanco descendente de reloj.



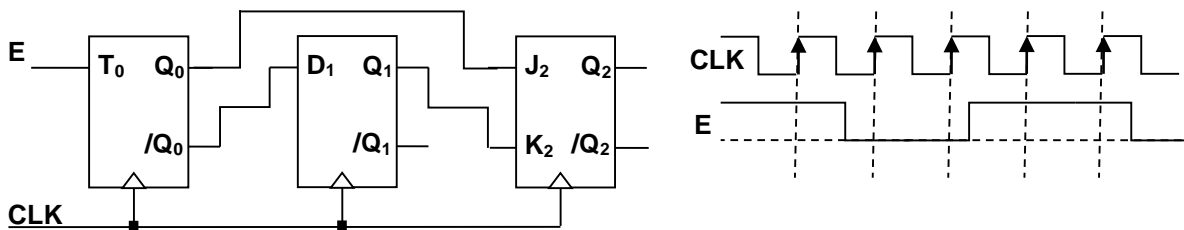
FUNDAMENTOS DE COMPUTADORES

Ejercicios U3: Elementos básicos de la lógica secuencial

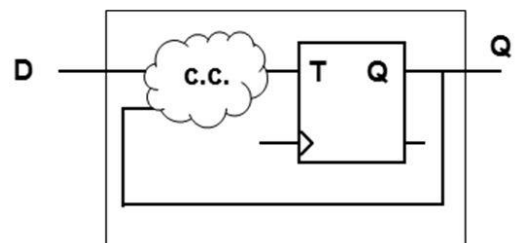
U3_5. En el secuencial de la figura, se supone que inicialmente $Q_0 = Q_1 = 1$ y $Q_2 = Q_3 = 0$. Dibuje en el diagrama de tiempos la señal de salida de los FF 1,2 y 3 e indique razonadamente qué tipo de FF es el 0 (el primero a la izquierda). Los flip-flops se activan por flanco ascendente de reloj.



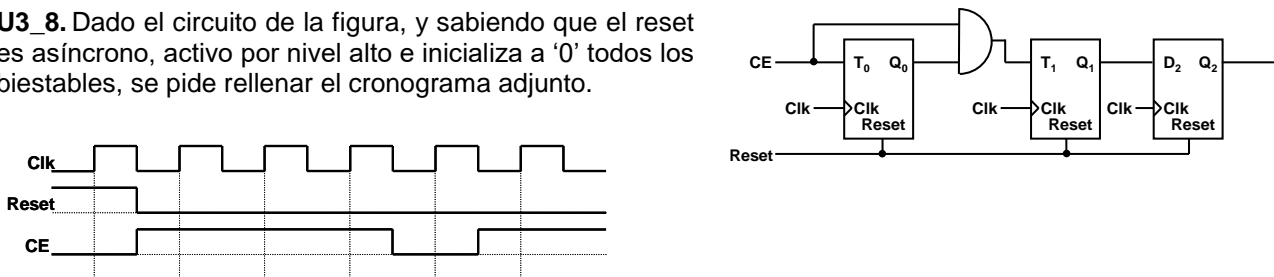
U3_6. Dada la secuencia de biestables de la figura se pide completar el cronograma adjunto. Suponga que todos los biestables se encuentran inicialmente en el estado $Q_i = '0'$.



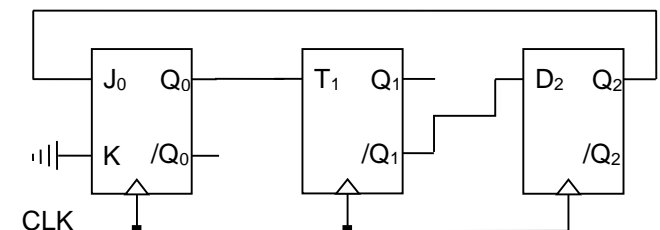
U3_7. Señale el circuito combinacional que permita construir a partir de un biestable tipo T, otro biestable tipo D.



U3_8. Dado el circuito de la figura, y sabiendo que el reset es asíncrono, activo por nivel alto e inicializa a '0' todos los biestables, se pide rellenar el cronograma adjunto.



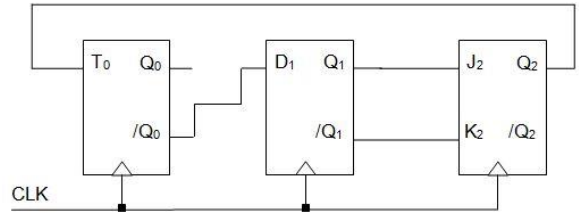
U3_9. A partir del diagrama de la figura, se pide dibujar un cronograma para 5 ciclos de reloj completos. Los valores iniciales para los biestables son $Q_0 = 0$, $Q_1 = 1$ y $Q_2 = 1$



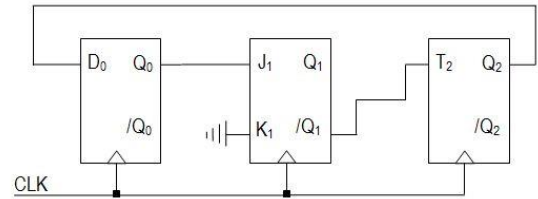
FUNDAMENTOS DE COMPUTADORES

Ejercicios U3: Elementos básicos de la lógica secuencial

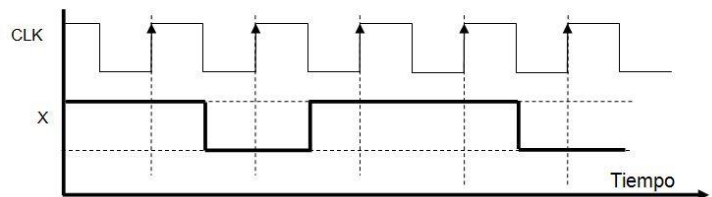
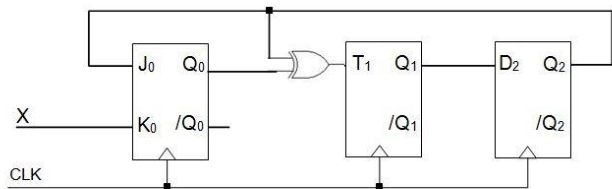
U3_10. A partir del diagrama de la figura, se pide dibujar un cronograma para 5 ciclos de reloj completos. Los valores iniciales para los biestables son $Q_0 = 1$, $Q_1 = 1$ y $Q_2 = 0$



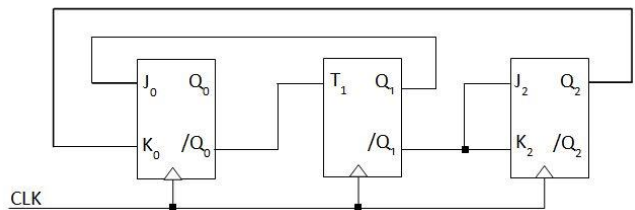
U3_11. A partir del diagrama de la figura, se pide dibujar un cronograma para 5 ciclos de reloj completos. Los valores iniciales para los biestables son $Q_0 = 0$, $Q_1 = 0$ y $Q_2 = 1$



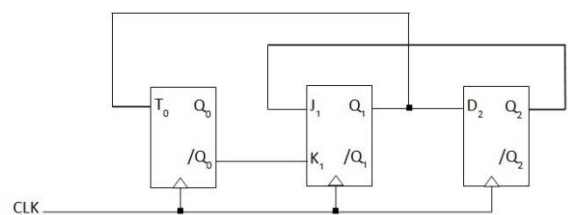
U3_12. A partir del diagrama de la figura, complete el cronograma adjunto para los 5 ciclos de reloj señalados. Como se indica en el cronograma, los valores iniciales para los biestables son $Q_0 = 1$, $Q_1 = 0$ y $Q_2 = 0$



U3_13. Dado el circuito secuencial de la figura, diseñe un cronograma para 5 ciclos de reloj. Los valores iniciales para los biestables son $Q_0 = 0$, $Q_1 = 1$ y $Q_2 = 1$



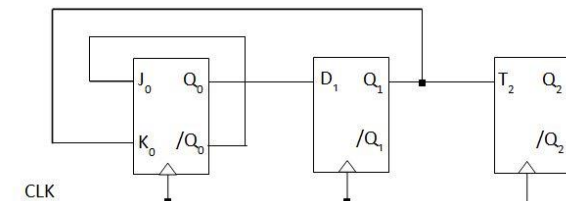
U3_14. A partir del diagrama de la figura, realice un cronograma para 5 ciclos de reloj. Los valores iniciales para los biestables son $Q_0 = 0$, $Q_1 = 1$ y $Q_2 = 1$



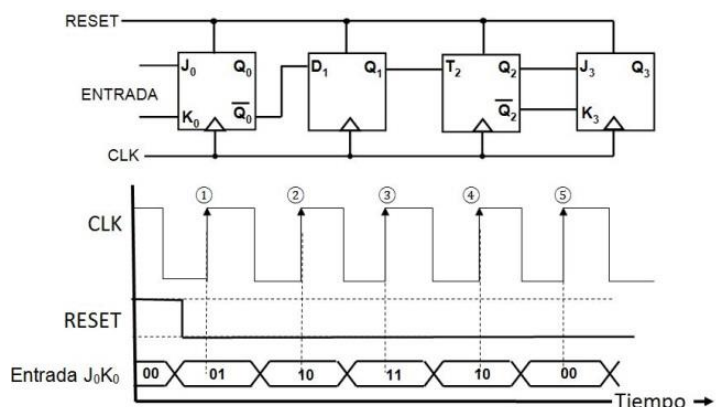
FUNDAMENTOS DE COMPUTADORES

Ejercicios U3: Elementos básicos de la lógica secuencial

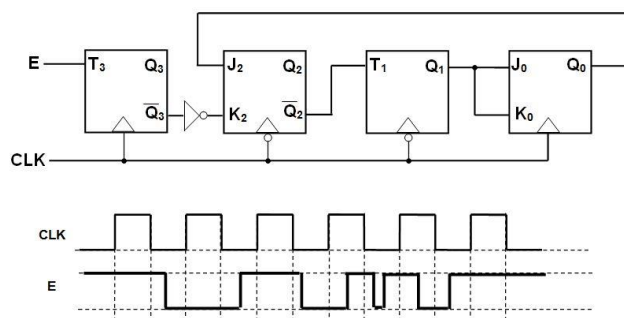
U3_15. A partir del diagrama de la figura, realice un cronograma para 5 ciclos de reloj. Los valores iniciales para los biestables son $Q_0 = 1$, $Q_1 = 1$ y $Q_2 = 0$



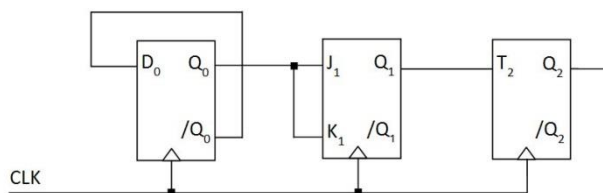
U3_16. El registro de 4 bits de la figura, está formado por 4 FF de distinto tipo. Se pide completar el cronograma para las salidas Q_0 , Q_1 , Q_2 y Q_3 . Nota: El Reset es asíncrono.



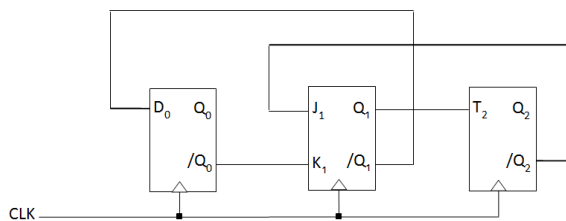
U3_17. Se pide completar el cronograma de la figura adjunta, sabiendo que en el estado inicial los valores de los biestables son: $Q_3=Q_1=1$ y $Q_2=Q_0=0$
Nota: Tenga en cuenta la adecuada activación por flanco de cada FF



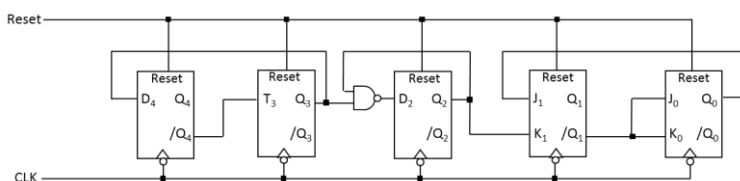
U3_18. Dado el siguiente circuito, represente 4 ciclos de reloj consecutivos en el cronograma facilitado, sabiendo que se parte del estado $Q_0 = Q_1 = Q_2 = 0$.



U3_19. Dado el circuito de la figura adjunta, y partiendo del estado inicial indicado, se pide completar el cronograma dado para los 4 ciclos de reloj señalados. Se parte del estado $Q_0 = 0$, $Q_1 = Q_2 = 1$



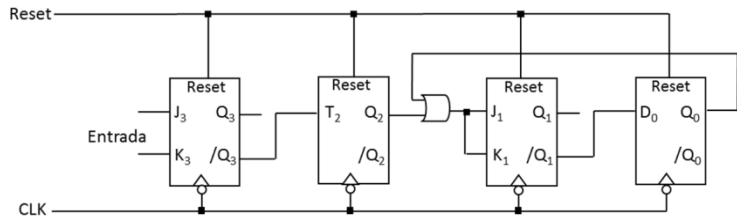
U3_20. En el sistema secuencial de la figura adjunta, se supone que inicialmente $Q_0 = Q_2 = 0$ y $Q_1 = Q_3 = Q_4 = 1$. Se pide completar el cronograma adjunto con la señal de salida de cada FF, sabiendo que la señal de reset es asíncrona.



FUNDAMENTOS DE COMPUTADORES

Ejercicios U3: Elementos básicos de la lógica secuencial

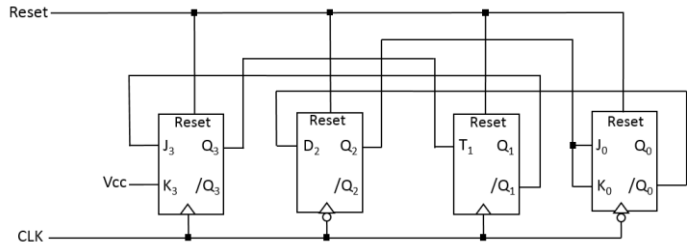
U3_21. Dado el sistema secuencial de la figura adjunta, se pide completar el cronograma dado con la señal de salida de cada FF, sabiendo que la señal de reset es asíncrona.



U3_22. Dado el sistema secuencial de la figura adjunta, se pide completar el cronograma dado con la señal de salida de cada FF.

Notas:

- La señal de Reset es **asíncrona**
- Considerad el funcionamiento de cada FF en su flanco de reloj correspondiente



U3_23. Dado el sistema secuencial de la figura adjunta, se pide completar el cronograma dado con la señal de salida de cada FF, sabiendo que la señal de Reset es asíncrona.

NOTA: Atención al flanco de reloj de cada uno de los FF.

